

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CJ

008408173 **Image available**

WPI Acc No: 90-295174/199039

Silicon thin-film FET prodn. - by forming silicon thin film on insulator substrate, and injecting oxygen on nitrogen ions into other region

NoAbstract Dwg 3,4/4

Patent Assignee: RICOH KK (RICO)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 2208943	A	19900820	JP 8929391	A	19890208		199039 B

Priority Applications (No Type Date): JP 8929391 A 19890208

Title Terms: SILICON; THIN; FILM; FET; PRODUCE; FORMING; SILICON; THIN; FILM; INSULATE; SUBSTRATE; INJECTION; OXYGEN; NITROGEN; ION; REGION; NOABSTRACT

Derwent Class: L03; U11

International Patent Class (Additional): H01L-021/33; H01L-029/78

File Segment: CPI; EPI

03233443 **Image available**

MANUFACTURE OF SILICON THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.: 02-208943 [JP 2208943 A]

PUBLISHED: August 20, 1990 (19900820)

INVENTOR(s): TANAKA HIROYUKI

APPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 01-029391 [JP 8929391]

FILED: February 08, 1989 (19890208)

INTL CLASS: [5] H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 44.7
(COMMUNICATION -- Facsimile)

JAPIO KEYWORD:R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 997, Vol. 14, No. 502, Pg. 130,
November 02, 1990 (19901102)

ABSTRACT

PURPOSE: To prevent the cutting of a wiring due to steps by a method wherein oxygen ions or nitrogen ions are implanted to form insulating regions in a thin film and a FET operating region is separated individually in a state that there is no step.

CONSTITUTION: A poly silicon thin film 11 is formed on an insulative substrate 10 and a mask 12 is formed to a region to become a FET operating region in the film 11. In a state that the mask 12 is formed, an ion implantation of oxygen ions or nitrogen ions is totally performed as shown by arrows 13 and the regions other than the FET operating region of the film 11 are converted into an insulator and are used as insulating regions 11a. Thereby, steps are never generated on the film 11 at all and the FET operating region 11b separated individually by the regions 11a is formed. Moreover, each electrode, a wiring and an insulating film are formed on the region 11b to form a FET. Thereby, at the time of an electrode wiring treatment and the like, the generation of steps is eliminated and the cutting due to steps of the wiring can be prevented.

公開特許公報(A)

平2-208943

③Int.CI.

H 01 L 21/336
29/784

識別記号

庁内整理番号

④公開 平成2年(1990)8月20日

8624-5F H 01 L 29/78 311 Y
審査請求 未請求 請求項の数 1 (全5頁)

⑤発明の名称 シリコン薄膜半導体装置の製造方法

⑥特願 平1-29391

⑦出願 平1(1989)2月8日

⑧発明者 田中浩行 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 ⑨出願人 株式会社リコー 東京都大田区中馬込1丁目3番6号
 ⑩代理人 弁理士柏木明

明細書

1. 発明の名称

シリコン薄膜半導体装置の製造方法

2. 特許請求の範囲

絶縁性基板の表面にシリコン薄膜を形成し、このシリコン薄膜中のFET動作領域以外の領域に対して酸素イオン又は窒素イオンを注入して絶縁化し、この絶縁領域によりシリコン薄膜中に個別化されたFET動作領域を形成し、個別化されたこのFET動作領域についてFETを形成するようにしたことを特徴とするシリコン薄膜半導体装置の製造方法。

3. 発明の詳細な説明

直義上の利用分野

本発明は、例えばファクシミリ、イメージスキャナ等におけるセンサ駆動用TFT(薄膜トラン

ジスタ)或いはフラットパネル型ディスプレイ駆動用TFT等として用いられるMOS FET(電界効果型トランジスタ)なるシリコン薄膜半導体装置の製造方法に関する。

従来の技術

従来、TFT構成のMOS FETとして、第3図及び第4図に示すように、ソース電極&配線1、ドレイン電極&配線2及びゲート電極3とともにシリコンによる半導体薄膜4の上部に形成するようにしたものがある。その製造方法をみると、特開昭58-28871号公報中の従来例として示されるように、まず、石英等の絶縁性基板5上に半導体薄膜4を島状に形成する。次に、この半導体薄膜4及び絶縁性基板5の全面を絶縁膜6で覆い、これをゲート絶縁膜とする。そして、半導体薄膜4の島を横切る形でゲート電極3を形成し、さらに、これらの上面を全面的に厚めの層間絶縁膜7で被う。次に、これらの絶縁膜6、7の連所

にコンタクトホール8を形成し、ソース電極を配線1、ドレイン電極を配線2及びゲート電極用配線9を形成するというものである。

このような製造方法によると、半導体薄膜その島状領域を横切ってゲート電極3を形成するため、ゲート電極3・半導体薄膜4間の絶縁性をよくするにはゲート絶縁膜6を厚くしなければならない。また、ゲート電極3や各配線1、2、9の段切れを防止するためには半導体薄膜4をより複数化し、かつ、その島状部分の側面を傾斜させ、かつ、ゲート電極3や各配線1、2、9を厚めにしなければならない。しかし、このような対処法によると、緻密な寸法の電極、配線を正確に形成することが難しくなり、高集積度を図る上で不利となる。

このようなことから、例えば上記特開昭58-28871号公報に示されるように、半導体薄膜の島状領域を、FETとしての動作領域のみに形成するのではなく、ソース、ドレイン及びゲート

においては、第3図等に示す従来方式よりも段差が大きくなってしまう。さらに、動作領域と配線の下部に半導体薄膜を残すための工程も必要であり、量産的にも不利である。

また、特開昭59-18672号公報方式による場合、選択熱融成というプロセスを用いているため、プロセス全体の低温化を図る上で不利となる。

課題を解決するための手段

絶縁性基板の表面にシリコン薄膜を形成し、このシリコン薄膜中のFET動作領域以外の領域に対して酸素イオン又は酸素イオンを注入して絶縁化し、この絶縁領域によりシリコン薄膜中に個別化されたFET動作領域を形成し、個別化されたこのFET動作領域についてFETを形成するようにした。

作用

絶縁性基板上に形成されたシリコン薄膜につい

電極及びこれらの電極につながる配線全体の下部領域に対しても残して形成し、この内、動作領域以外の領域については酸素イオンや窒素イオンの注入により絶縁化するようにしたものがある。これにより、FET動作領域において素子の段差が少なくなって段切れが軽減され、かつ、ゲート電極を薄くすることが可能でFETのしきい値電圧を下げ得るというものである。

また、特開昭59-18672号公報に示されるように、絶縁性基板上に多結晶シリコン薄膜を形成し、FET動作領域以外の領域を選択的に熱融成してFET動作領域の分離を行うようにしたものもある。これにより、素子の段差が少なくされ、段切れを減らし得るというものである。

発明が解決しようとする課題

ところが、前者の特開昭58-28871号公報方式による場合、配線の下部の半導体薄膜のみを残して絶縁化するため、配線が交差する部分に

ての部分的なイオン注入法による絶縁化処理により、絶縁領域を形成して、FET動作領域を段差の全くない状態で個別化しているので、このようなFET動作領域に対する電極配線処理等に際して、段切れの生ずる可能性が殆どなくなる。これは、配線交差部等についても同様であり、必然的な最小限の段差による交差に抑えることができ、段切れが防止される。このためにも、酸素イオン等のイオン注入法による絶縁化処理によるため、プロセスの低温化も可能となる。

実施例

本発明の一実施例を第1図及び第2図に基づいて説明する。

第1図は本実施例方法の原理を示すもので、まず、同図(a)に示すように石英等の絶縁性基板10の表面上にシリコン薄膜として、例えば多結晶シリコン薄膜11を形成する。このような多結晶シリコン薄膜11の内でFET動作領域となる領域

域に対してマスク 1-2 を形成する。このようなマスク 1-2 は例えばスパッタ法による SIO、膜として形成される。このようなマスク 1-2 が形成された状態で、矢印 1-3 で示すように、全面的に酸素イオン又は窒素イオンの注入を行う。これにより、多結晶シリコン薄膜 1-1 はマスク 1-2 で覆われた FET 動作領域以外の領域が図 (b) に示すように絶縁化されて絶縁領域 1-1a となる。絶縁化のためのイオン注入は、加速電圧を変えて数回又は 1 回行い、絶縁領域 1-1a を完全に絶縁化する。第 1 図 (b) に示すように絶縁領域 1-1a が形成された状態では、多結晶シリコン薄膜 1-1 に全く段差を生ずることなく、絶縁領域 1-1a により個別化された FET 動作領域 1-1b が形成されることになる。よって、この後は、FET 動作領域 1-1b について従来法等に準じて各電極、配線、絶縁膜等を形成することにより FET を作製すればよいことになる。

電極 1-4 を多結晶シリコンにより形成する。また、マスク (ゲート絶縁膜) 1-2 なる SIO、膜を通して、加速電圧 30 keV、ドーズ量 $1.0 \times 10^{14} \text{ cm}^{-2}$ にてボロンイオンの注入 1-5 を行い、多結晶シリコン薄膜 1-1 における FET 動作領域 1-1b 中のソース及びドレインへ不純物を打ち込む。

そして、図 (c) に示すように、これらの上に層間絶縁膜 1-6 を膜厚 5000 Å にて堆積させ、ソース、ドレイン箇所にコンタクトホール 1-7 を形成する。この上に、A 8 を 5000 Å の膜厚で堆積させバーニングして、ソース電極 & 配線 1-8 及びドレイン電極 & 配線 1-9 を形成する。ゲート電極 1-4 に対するゲート電極用配線についても同様である。

このように、本実施例によれば、FET 動作領域 1-1b はそれ以外の全領域をなして残存する絶縁領域 1-1a との間で全く段差のないものとなる。

第 2 図には、このように個別化される FET 動作領域 1-1b の形成を含む FET 作製プロセスの一例を示す。まず、絶縁性基板 1-1 として石英板を用い、その表面上に多結晶シリコン薄膜 1-1 を減圧 CVD 法により堆積形成する。この時、基板温度は 630°C、膜厚は 1000 Å とした。このような多結晶シリコン薄膜 1-1 上に RF スパッタ装置により SIO、を膜厚 800 Å に堆積形成し、フォトリソグラフィ法によりパターニングし、これをイオン注入による絶縁化のためのマスク 1-2 とする。この後で、酸素イオンを加速電圧 30 keV、ドーズ量 $1.0 \times 10^{14} \text{ cm}^{-2}$ で注入させ (イオン注入 1-3)、マスク 1-2 で覆われた FET 動作領域 1-1b 以外の領域の多結晶シリコン薄膜 1-1 を絶縁化する。これにより、絶縁領域 1-1a を形成し、FET 動作領域 1-1b を個別化する。

次に、図 (b) に示すように、マスク 1-2 をそのままゲート絶縁膜として用いてその上にゲート

つまり、絶縁性基板の一部を回ませてこの四部にのみ半導体薄膜を堆積させて基板表面と同一表面となる FET 動作領域を形成したと仮定したものと等価的なものとなり、配線全体の下部も含めて FET 動作領域 1-1b 等が絶縁性基板 1-0 上で島状となって存在することはない。この結果、ゲート電極や各配線が、従来のように、半導体の島状領域を横切ったり、その段差を越えるといったことがなくなり、段切れの生ずる可能性が飛ぶなくなる。即ち、配線部以外の領域についても多結晶シリコン薄膜 1-1 が絶縁領域 1-1a として残っているので、配線の交差部における段差もその交差部での下部配線側の膜厚のみとなるからである。また、段差が軽減されることにより、ゲート電極 1-4 を薄くすることも可能であり、半導体電子表面の凹凸を軽減し、かつ、微細な電極寸法についても正確に加工しやすくなる。また、ゲート電極 1-4 が薄くなることにより、FET のしきい値電

圧を下げることもでき、スイッチング速度が容易となる。さらに、本実施例によれば、多結晶シリコン薄膜11の絶縁化を酸素イオン等のイオン注入により行うので、通常熱処理法による場合と異なり、プロセスの低温化も可能となる。

なお、本発明は、シリコン薄膜半導体装置全般にあてはまるものであり、多結晶シリコンに限らず、単結晶シリコンやアモルファスシリコンによるものにも有効である。また、図示例のFET構造に限らず、例えばゲート電極にN+等の金属電極を用いた構造のものであってもよい。

発明の効果

本発明は、上述したように、絶縁性基板上に全面的に形成したシリコン薄膜中のFET動作領域以外の領域に対する、酸素イオン等のイオン注入による絶縁化処理により、絶縁領域を形成して、FET動作領域を段差の全くない状態で個別化するようにしたので、このようなFET動作領域に

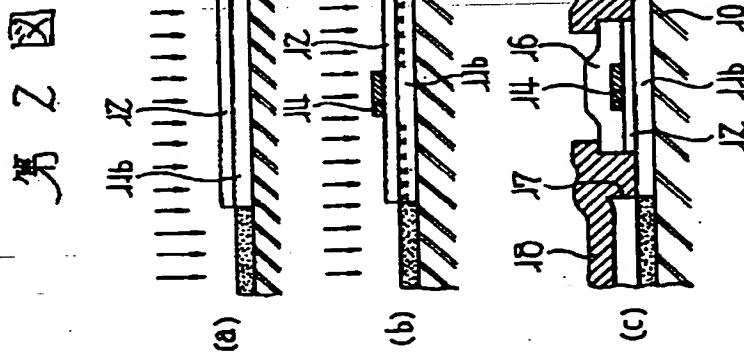
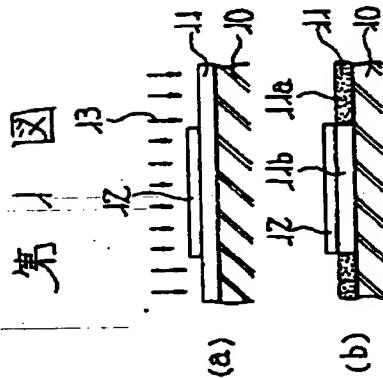
対する電圧印加処理はもちろん、配線接続部等についても、段差を必然的に生じる最小限のものとして、各部での段切れを防止でき、かつ、このためにも、酸素イオン等のイオン注入により絶縁化処理するようにしているため、プロセスの低温化も可能とすることができます。

4. 図面の簡単な説明

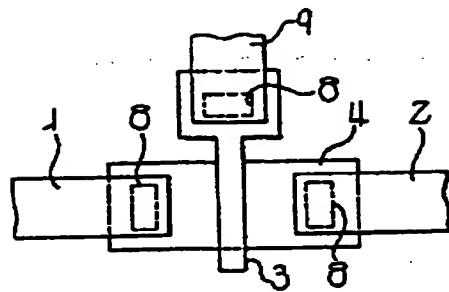
第1図は本発明の一実施例の原理を工程順に示す概略断面図、第2図はより具体的な処理を工程順に示す概略断面図、第3図は従来例を示すFETの電極、配線パターン等を模式的に示す平面図、第4図はその断面構造図である。

10…絶縁性基板、11…シリコン薄膜、11a…FET動作領域以外の領域=絶縁領域、11b…FET動作領域、13…イオン注入

出　　版　　株式会社　リコー
代　　理　　人　柏　木



第3図



第4図

